

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-211515

(43)Date of publication of application : 03.08.1992

(51)Int.Cl.

H03K 19/0185

H01L 27/04

(21)Application number : 03-029847

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.02.1991

(72)Inventor : NAKAGOME YOSHINOBU
ITO KIYOO
TAKEUCHI MIKI

(30)Priority

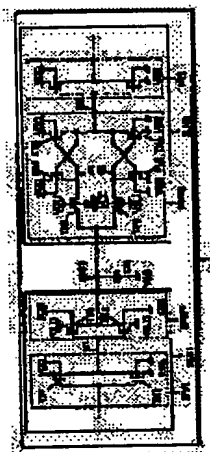
Priority number : 02 76880 Priority date : 28.03.1990 Priority country : JP

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor integrated circuit which operates at high speed even at a low signal amplitude and which does not cause the increase of power consumption at the waiting time.

CONSTITUTION: The device consists of a drive circuit (DRV1) converting a signal with large amplitude into a signal with small amplitude and outputting it to a signal line, a signal receiving part (REC2) receiving the signal with small amplitude and converting it to the signal with large amplitude, and a signal processing part (INV1, INV2) processing the signal with large amplitude. Thus, by reducing the voltage amplitude of the signal line, the power consumption of the entire integrated circuit can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal of application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-211515

(43) 公開日 平成4年(1992)8月3日

(51) Int.Cl.⁵

H 0 3 K 19/0185

H 0 1 L 27/04

識別記号

庁内整理番号

F I

技術表示箇所

D 7514-4M

8941-5 J

H 0 3 K 19/00

1 0 1 D

審査請求 未請求 請求項の数20(全 15 頁)

(21) 出願番号 特願平3-29847

(22) 出願日 平成3年(1991)2月25日

(31) 優先権主張番号 特願平2-76880

(32) 優先日 平2(1990)3月28日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

(72) 発明者 中込 儀延

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 伊藤 清男

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 竹内 幹

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

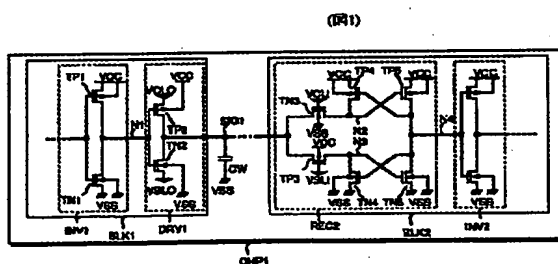
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 低い信号振幅でも高速に動作し、かつ待機時の消費電流を増大させることのない半導体集積回路を提供する。

【構成】 大きな振幅の信号を小さな振幅の信号に変換し、信号線に出力する駆動回路 (DRV1)、信号線からの小さな振幅の信号を受けて大きな振幅の信号に変換する信号受信部 (REC2)、大きな振幅の信号を処理する信号処理部 (INV1, INV2) とから構成される。

【効果】 信号線の電圧振幅を小さくすることにより、集積回路全体の低消費電力化ができる。



【特許請求の範囲】

【請求項1】第1および第2の信号振幅で動作するCMOS回路をそれぞれ少なくとも含む半導体集積回路において、第1の信号振幅の高レベルは第2の信号振幅の高レベルよりも大きく、かつ第1の信号振幅の低レベルは第2の信号振幅の低レベルよりも小さいことを特徴とする半導体装置。

【請求項2】請求項1記載の半導体装置において、第2の信号振幅は1ボルト以下であることを特徴とする半導体装置。

【請求項3】請求項2記載の半導体装置において、第1の信号振幅は外部から供給する電源電圧の最大値と最小値の差に等しいことを特徴とする半導体装置。

【請求項4】請求項1乃至請求項3の何れかに記載の半導体装置において、待機時の消費電流が最大動作周波数での動作電流の100分の1以下であることを特徴とする半導体装置。

【請求項5】請求項1乃至請求項4の何れかに記載の半導体装置において、第2の信号振幅を入力して第1の信号振幅を出力する手段は、入力にソース、第1の端子にドレインが接続された第1導電形のMOSトランジスタ、入力にソース、第2の端子にドレインが接続された第2導電形のMOSトランジスタ、第1の端子にゲート、出力にドレインが接続された第2導電形のMOSトランジスタ、出力にゲート、第1の端子にドレインが接続された第2導電形のMOSトランジスタ、第2の端子にゲート、出力にドレインが接続された第1導電形のMOSトランジスタ、とを少なくとも含むことを特徴とする半導体装置。

【請求項6】請求項1乃至請求項5の何れかに記載の半導体装置において、集積回路内部の主たる信号の振幅を第2の信号振幅としたことを特徴とする半導体装置。

【請求項7】請求項1乃至請求項6の何れかに記載の半導体装置において、集積回路外部との信号授受を第2の信号振幅で行なうことを特徴とする半導体装置。

【請求項8】複数の集積回路ブロックから構成された半導体装置において、該集積回路ブロックは第2の信号振幅の入力信号をそれよりも高い第1の信号振幅に変換する入力回路と、第1の信号振幅で信号処理を行なう処理回路と、該処理回路の第1の信号振幅で駆動され上記集積回路ブロックの入力信号と等しい第2の信号振幅を有する信号を上記集積回路ブロックの外部に出力する出力回路とを含むことを特徴とする半導体装置。

【請求項9】請求項8記載の半導体装置において、上記第2の信号振幅は1ボルト以下であることを特徴とする半導体装置。

【請求項10】請求項8又は請求項9の何れかに記載の半導体装置において、上記第1の信号振幅は、外部から供給する電源電圧の最大値と最小値の差に等しいことを

特徴とする半導体装置。

【請求項11】請求項8乃至請求項10の何れかに記載の半導体装置において、上記半導体装置の待機時の消費電流が最大動作周波数での動作電流の100分の1以下であることを特徴とする半導体装置。

【請求項12】請求項8乃至請求項11の何れかに記載の半導体装置において、上記入力回路は、入力にソース、第1の端子にドレインが接続された第1導電形のMOSトランジスタと、入力にソース、第2の端子にドレインが接続された第2導電形のMOSトランジスタと、第1の端子にゲート、出力にドレインが接続された第2導電形のMOSトランジスタと、出力にゲート、第1の端子にドレインが接続された第2導電形のMOSトランジスタと、第2の端子にゲート、出力にドレインが接続された第1導電形のMOSトランジスタと、出力にゲート、第2の端子にドレインが接続された第1導電形のMOSトランジスタとを少なくとも含むことを特徴とする半導体装置。

【請求項13】請求項8乃至請求項12の何れかに記載の半導体装置において、半導体装置内部の主たる信号の振幅を上記第2の信号振幅としたことを特徴とする半導体装置。

【請求項14】請求項8乃至請求項13の何れかに記載の半導体装置において、半導体装置外部との信号の授受を上記第2の信号振幅で行なうことを特徴とする半導体装置。

【請求項15】請求項8乃至請求項14の何れかに記載の半導体装置において、上記半導体装置は記憶装置であることを特徴とする半導体装置。

【請求項16】第1および第2の信号振幅で動作するCMOS回路をそれぞれ少なくとも含む半導体集積回路において、その入力あるいは出力の信号振幅の一方が第2の信号振幅に等しく、第2の信号振幅は第1の信号振幅の1/2よりも小さいことを特徴とする半導体装置。

【請求項17】請求項16記載の半導体装置において、第1の信号振幅は外部から供給する電源電圧の最大値と最小値の差に等しいことを特徴とする半導体装置。

【請求項18】請求項17記載の半導体装置において、第2の信号振幅は1ボルト以下であることを特徴とする半導体装置。

【請求項19】請求項16乃至請求項18の何れかに記載の半導体装置において、待機時の消費電流が最大動作周波数での動作電流の100分の1以下であることを特徴とする半導体装置。

【請求項20】請求項16乃至請求項18の何れかに記載の半導体装置において、待機時の消費電流が1mA以下であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置、特に微細素

3

子で構成された高速、高集積の半導体装置に関する。

【0002】

【従来の技術】半導体集積回路(LSI=Large Scale Integration)の高集積化は、その構成素子であるMOSトランジスタの微細化により進められてきた。素子の最小寸法が0.5ミクロン以下のいわゆるディープサブミクロンLSIになると、素子の耐圧の低下とともにLSIの消費する電力の増大が問題になつてくる。このような問題に対しては、素子の微細化にともなつて動作電源電圧を低下させることが有効な手段であると考えられる。

【0003】現在のLSIの電源電圧としては5Vが主流であるため、微細な素子でLSIを構成する手段として、LSIチップ上に外部電源電圧を降圧する電圧変換回路を搭載する技術が、アイ・イー・イー・イー・ジャーナル・オブ・ソリッド・ステート・サーキットズ、第21巻、第5号、第605～第611頁(1986)(IEEE Journal of Solid-State Circuits, vol.21, No.5, p.605-611, October 1986)において論じられている。この場合の外部電源電圧と内部電源電圧の値は、それぞれ5Vと3.5Vである。このように、LSIの中でも最高集積度のダイナミックRAM(DRAM)で消費電力の問題が顕在化しつつある。

【0004】

【発明が解決しようとする課題】しかし、一方、物理的な制約から電源電圧には下限が存在することが指摘されている。この制約については、アイ・イー・イー・イー・ジャーナル・オブ・ソリッド・ステート・サーキットズ、第9巻、第5号、第256～第267頁(1974)(IEEE Journal of Solid-State Circuits, vol.9, No.5, pp.256-267, October 1974)において論じられている。この中に示されているように、MOSトランジスタの低電流特性は、ドレイン電流がゲート電圧に対して指数関数的に減衰する、いわゆるサブスレッシヨルド特性を有している。この係数はサブスレッシヨルド係数(テーリング係数)と呼ばれ、室温では80mV/1桁程度の値である。したがって、電源電圧の低下に比例してゲートしきい値電圧を低下させると、トランジスタがカットオフしている期間にも微小な直流電流が流れ、待機時の消費電流を増大させるという問題を有する。このため、従来のCMOS回路においては、電源電圧を低下させたとき、しきい値電圧はある値以下には下げられないとされていた。その実用上の下限については、プロシーディングス・オブ・テクニカル・ペーパーズ・1989・インターナショナル・シンポジウム・オン・ブイエスアイ・テクノロジー・システム・アンド・アプリケーションズ、第188～第192頁(1989)(Proceedings of Technical Papers, 1989 International Symposium on VLSI Technology, Systems and Applications, pp.188-192, May 1989)や、プロシーディングス・

4

オブ・ザ・シンポジウム・オン・ロウ・テンパレチャー・エレクトロニクス・アンド・ハイ・テンパレチャー・スーパーコンダクターズ、第55～第69頁(1987)(Proceedings of the Symposium on Low Temperature Electronics and High Temperature Superconductors, pp.55-69, Oct. 1987)、において論じられている。その値はおよそ0.35～0.55V程度である。このときの電源電圧の下限は、実用上1.5V程度であり、さらに電圧を下げると、遅延時間が著しく増大するという問題があつた。

【0005】本発明の目的は、こうした従来下限とされていた電源電圧より小さい信号振幅でも高速に動作し、かつ待機時の消費電流を増大させることのない半導体集積回路を提供することにある。

【0006】

【課題を解決するための手段】上記目的は、集積回路内部の信号振幅を複数とし、主たる信号配線を小さな振幅で駆動すること、および、小さな待機電流で小さな信号振幅から大きな信号振幅に変換する振幅変換回路を設けることにより達成できる。

【0007】

【作用】各種集積回路の内部信号を低振幅化できるため、信号配線(バス)の充放電電流を低減でき、低消費電力化できる。また、ピーク電流を低減できるため、信号配線の信頼性を向上すると共に、低雑音化が図れる。また、信号配線(バス)の充放電時間を低減でき、高速化を図ることができる。これにより、従来の回路方式で問題になつている電源電圧の下限にとらわれずに、低消費電力化が図れ、高集積度、高速性および低消費電力を同時に満たすことができる。

【0008】

【実施例】図1は本発明によるCMOS集積回路の基本概念を説明する実施例である。同図において、CMOS集積回路はBLK1、BLK2などの複数の回路ブロックと、それらの間で信号を伝達する信号配線から構成される。この図の例では、BLK1の出力を信号配線SIG1によりBLK2の入力に伝達している。各回路ブロックは、他の回路ブロックからの小さな振幅の信号を受けて大きな振幅の信号に変換する信号受信部(例えば、図中REC2)、大きな振幅の信号を処理する信号処理部(例えば、図中INV1、INV2)、小さな振幅の信号を信号配線に出力する駆動回路(例えば、図中DRV1)とから構成される。

【0009】これらのうち信号処理部は、電源電圧VCCとVSSにより動作し、その信号振幅は(VCC-VSS)となる。駆動回路DRV1はNチャネルMOSトランジスタTN2およびPチャネルMOSトランジスタTP2により構成される。この駆動回路は電源電圧VCLおよびVSLで動作し、信号線SIG1に振幅(VCL-VSL)の信号を出力する。なお、これらの

5

電源電圧の間には $VCC > VCLO > VSLO > VSS$ なる関係が成り立っている。なお、この例ではTN2のバックゲートはVSSに、TP2のバックゲートはVCCに、それぞれ接続しているが、それぞれVSLO、VCLOに接続してもかまわない。

【0010】信号受信部REC2は、転送ゲートを成すNチャネルMOSトランジスタTN3およびPチャネルMOSトランジスタTP3、互いのゲートとドレインが交差接続されたNチャネルMOSトランジスタ対TN4とTN5およびPチャネルMOSトランジスタ対TP4とTP5から構成される。

【0011】また転送ゲートTN3のゲートには電圧VCLIを、TP3のゲートには電圧VSLIをそれぞれ印加している。なお、TN3のバックゲートはVSSに、TP3のバックゲートはVCCに、それぞれ接続しているが、これらは、それぞれVSLO、VCLOであつてもかまわない。本実施例では、NチャネルMOSトランジスタのゲートしきい値電圧は約0.5V、PチャネルMOSトランジスタのゲートしきい値電圧は約-0.5Vに設定している。

【0012】さて、この回路の動作を図2を用いて説明する。この例では、 $VCC=1.5V$ 、 $VSS=0V$ 、 $VCLO=1V$ 、 $VSLO=0.5V$ 、 $VCLI=1.5V$ 、 $VSLI=0V$ の場合について説明するが、これらの値に限るものでなく、

$VCC > VCLO > VSLO > VSS$

かつ、 $VCLI > VSLI$

が成り立つような電圧であれば効果がある。さて、今、回路ブロックBLK1内のインバータINV1の出力N1が、時刻t0において1.5Vから0Vに、時刻t3において0Vから1.5Vに変化する場合を考える。

【0013】時刻t0の以前、すなわち端子N1が1.5Vの間は、トランジスタTN2のゲート・ソース間電圧は1V、トランジスタTP2のゲート・ソース間電圧は0.5Vになるため、TN2が導通、TP2が非導通となり、駆動回路の出力、すなわち信号線SIG1には $VSLO=0.5V$ が出力される。同時に、受信回路REC2を構成する転送ゲートTN3のゲート・ソース間電圧は1V、トランジスタTP3のゲート・ソース間電圧は-0.5Vになるため、TN3が導通、TP3が非導通となる。トランジスタTN3の駆動能力をTP4に比べて充分大きく設計しているため、端子N2は入力SIG1と等しい0.5Vになつており、トランジスタTP5が導通している。一方、端子N3の電圧は0.5V以下になつているため、トランジスタTN5は非導通となり、端子N4は1.5Vになつている。したがつて、トランジスタTN4は導通しており、端子N3は結果的に0Vに設定されている。これらのトランジスタの中で、TP3のゲート・ソース間電圧は-0.5Vとゲートしきい値電圧に一致するため、サブスレッシヨルド

6

電流と呼ばれる微小な電流が流れるが、集積回路全体のトランジスタに比べれば、このトランジスタの占める割合は小さく、その電流は無視できるほど小さい。さて、時刻t0において端子N1が、1.5Vから0Vに変化する場合を考える。トランジスタTN2のゲート・ソース間電圧は-0.5V、トランジスタTP2のゲート・ソース間電圧は-1Vになるため、TN2が非導通、TP2が導通となり、駆動回路の出力、すなわち信号線SIG1には $VCLO=1V$ が出力される。同時に、受信回路REC2を構成する転送ゲートTN3のゲート・ソース間電圧は0.5V、トランジスタTP3のゲート・ソース間電圧は-1Vになるため、TN3が非導通、TP3が導通となる。トランジスタTP3の駆動能力をTN4に比べて充分大きく設計することにより、端子N3は入力SIG1と等しい1Vになり、トランジスタTN5が導通する。一方、端子N2の電圧は約1Vまで上昇する。したがつてトランジスタTP5は非導通となり、端子N4は0Vになる。その結果、トランジスタTP4が導通し、端子N2は時刻t2において、1.5Vまで引き上げられる。

【0014】時刻t3において端子N1が、0Vから1.5Vに変化する場合にも、これと同様に信号線SIG1は1Vから0.5Vに、端子N4は0Vから1.5Vへと変化する。

【0015】このように、回路ブロックBLK1内の1.5Vの信号振幅を0.5Vの振幅を有する信号に変換し、かつ、その信号を回路ブロックBLK2で再び1.5Vの信号振幅に変換することができる。一般に、集積回路の消費電力の大部分は、回路ブロック間で信号授受を行なうために設けられた信号線（バス）の充放電で費やされる。したがつて、この信号線の電圧振幅を小さくすることは集積回路全体の低消費電力化に極めて有効である。また、集積回路ブロック内の電圧振幅をバスの信号振幅よりも大きくすることにより、ブロック内の回路群の動作速度を上げると同時に、バスを駆動するインバータ回路（ドライバ）のゲートをバスの振幅以上の大きな振幅で駆動でき、バスのスイッチング速度も改善できるという利点も兼ね備えている。本実施例では、信号線SIG1の負荷容量CWを一回充放電するのに要する電荷量を $CW(VCC-VSS)$ から、 $CW(VCLO-VSLO)$ へと約三分の一に減少させることができる。これにより、消費電流および消費電力も約三分の一に減少させることができる。また、同じ動作速度で比較すると、信号線容量の充放電にともない発生する信号線や電源線のピーク電流も約三分の一に減少させることができ、信号線や電源線を構成する金属配線の信頼性を向上させることもできる。さらには、電源線の抵抗のために発生する電源の雑音も約三分の一に減少させることができ、より動作が安定な集積回路を供することができる。このように、主たる信号線の信号振幅を小さく

7

することにより、高速性を維持しながら、低消費電力かつ低雑音の集積回路を実現することができる。

【0016】以上の説明では、6つの電源電圧VCC、VSS、VCLO、VSLO、VCLI、VSLIを用いて回路を構成する場合について説明した。これらの電圧の一部は本実施例で示したように同じ電圧であつても良い。これらは全て外部から供給しても良いし、VCCとVSSを装置外部から与え、集積回路内部に設けた電圧変換回路によりVCLO、VSLO、VCLI、VSLIなどを発生しても構わない。

【0017】図3は本発明によるCMOS集積回路の他の一実施例である。本実施例では、電源の種類を減らすために各導電型のMOSトランジスタのしきい値電圧の種類を複数としている。同図において、図1の実施例と異なる点は、駆動回路DRV3を構成するNチャネルMOSトランジスタTN6およびPチャネルMOSトランジスタTP6、および信号受信部REC4の転送ゲートを成すNチャネルMOSトランジスタTN7およびPチャネルMOSトランジスタTP7のゲートしきい値電圧の絶対値を他の回路を構成するMOSトランジスタのゲートしきい値電圧の絶対値よりも低くした事である。これにより、駆動回路の電源電圧と転送ゲートのゲート印加電圧をVCLおよびVSLに揃える事ができる。なお、TN6とTN7のバックゲートはVSSに、TP6とTP7のバックゲートはVCCに、それぞれ接続しているが、これらは、それぞれVSLおよびVCLであつてもかまわない。本実施例では、NチャネルMOSトランジスタのゲートしきい値電圧は、高い方が約0.5V、低い方が約0V、PチャネルMOSトランジスタのゲートしきい値電圧は絶対値の高い方が約-0.5V、絶対値

【0018】この回路の動作は図2に示した動作波形で同様に説明される。ここでは、VCC=1.5V、VSS=0V、VCL=1V、VSL=0.5Vの場合について説明するが、これらの値に限るものでないことは自明である。

【0019】時刻t0の以前、すなわち端子N5が1.5Vの間は、トランジスタTN6のゲート・ソース間電圧は1V、トランジスタTP6のゲート・ソース間電圧は0.5Vになるため、TN6が導通、TP6が非導通となり、駆動回路の出力、すなわち信号線SIG2にはVSL=0.5Vが出力される。同時に、受信回路REC4を構成する転送ゲートTN7のゲート・ソース間電圧は0.5V、トランジスタTP7のゲート・ソース間電圧は0Vになっているため、TN7が導通、TP7が非導通となる。トランジスタTN7の駆動能力をTP8に比べて充分大きく設計することにより、端子N6は入力SIG2と等しい0.5Vになつており、トランジスタTP9が導通している。一方、端子N7の電圧は0.5V以下になつているため、トランジスタTN9は

8

非導通となつており、端子N8は1.5Vになつている。したがつて、トランジスタTN8が導通し、端子N7は結果的に0Vに設定される。これらのトランジスタの中で、TP7のゲート・ソース間電圧は0Vとなり、ゲートしきい値電圧に一致するため、サブスレッショルド電流と呼ばれる微小な電流が流れるが、集積回路全体のトランジスタに比べれば、このトランジスタの占める割合は小さく、その電流は無視できるほど小さい。

【0020】その他の時刻における動作も図1に示した例と同様である。このように、各導電型に対して二種類のゲートしきい値電圧のMOSトランジスタを用いることで、4つの電源電圧VCC、VSS、VCL、VSLにより回路を構成することができる。これらは全て外部から供給しても良いし、VCCとVSSを装置外部から与え、集積回路内部に設けた電圧変換回路によりVCL、VSLなどを発生しても構わない。なお、この実施例によつても先の実施例で述べた効果と同等の効果を得ることができる。

【0021】次に、図5を用いて本発明の効果を具体的に説明する。図4および図5は負荷容量(CL=2pF)の駆動回路を従来の技術および本発明を用いて構成した例を示している。いずれの場合にも、振幅(VCL-VSL)の信号を入力して、負荷を振幅(VCL-VSL)で駆動するようにしている。従来のCMOS集積回路では、図4に示すように複数段のCMOSインバータにより駆動回路を構成している。CMOSインバータでは電源電圧がそのまま信号振幅に等しくなるため、VCLおよびVSLを電源として動作させている。一方本発明では、図5に示すように入力信号の振幅を増幅するレベル変換回路REC5と負荷を駆動するCMOSインバータ回路DRV5とにより構成している。REC5は図3中のREC4と、またDRV5は図3中のDRV3と、それぞれ基本的に同じである。また、各トランジスタのゲートしきい値電圧も図3の説明で述べた値と同じである。MOSトランジスタのゲート酸化膜厚は7nm(ナノメータ)、また各トランジスタのゲート長Lならびにゲート幅Wは以下のとおりである。

【0022】

9

	L (ミクロン)	W (ミクロン)
TN10	0.6	6
TP10	0.6	20
TN11	0.6	15
TP11	0.6	50
TN12	0.6	6
TP12	0.6	10
TN13	2	1
TP13	2	3
TN14	0.6	6
TP14	0.6	20
TN15	0.6	15
TP15	0.6	50

これにより、従来回路と本発明の回路の待機時における消費電力は、ほぼ同じ程度になる。

【0023】図6は入力(IN)および出力(OUT)の波形を示している。出力が10%から90%に達する時間を出力立ち上がり時間 t_r 、90%から10%に達する時間を出力立ち下り時間 t_f 、入力が50%まで立ち上がった後から出力が50%まで立ち上がるまでの時間を立ち上り伝播遅延時間 t_{pdr} 、入力が50%まで立ち下がった後から出力が50%まで立ち下がるまでの時間を立ち下り伝播遅延時間 t_{pdf} 、とそれぞれ定義する。

【0024】図7は出力立ち上がり時間 t_r の信号振幅(V_{CL-VSL})依存性の計算機解析結果を示している。従来のCMOSインバータによる駆動回路では信号振幅が1.5V以下で急激に立ち上がり時間が增大する。信号振幅と立ち上がり時間の関係を代表的なものについて示すと

信号振幅 (V)	出力立ち上がり時間 t_r (ns)
2	1.37
1.5	1.98
1	4.25

となる。速度性能の面から $t_r < 2\text{ ns}$ をひとつの目安とすると、信号振幅の最小値は1.5Vとなる。一方、本発明では信号振幅と立ち上がり時間の関係は

信号振幅 (V)	出力立ち上がり時間 t_r (ns)
0.5	1.09
0.4	1.17
0.3	1.30
0.2	1.55
0.1	2.16

となり、 $t_r < 2\text{ ns}$ をひとつの目安とすると、信号振幅の最小値は約0.12Vとなる。この解析結果より、出力立ち上がり時間 t_r を基準に考えると、本発明により、信号振幅を従来の1.5Vから約0.12Vへと約1桁低減することができる。なお、ここには出力立ち上がり時間 t_r の解析結果を示したが、出力立ち下り時間 t_f についても同様の改善効果が得られる。

【0025】図8は立ち上り伝播遅延時間 t_{pdr} の信号振幅(V_{CL-VSL})依存性の計算機解析結果を示し

10

ている。従来のCMOSインバータによる駆動回路では、立ち上がり時間と同様、信号振幅が1.5V以下で急激に立ち上り伝播遅延時間が增大する。信号振幅と立ち上り伝播遅延時間の関係を代表的なものについて示すと

信号振幅 (V)	立ち上り伝播遅延時間 t_{pdr} (ns)
2	1.29
1.5	1.82
1	3.81

となる。速度性能の面から $t_{pdr} < 3\text{ ns}$ をひとつの目安とすると、信号振幅の最小値は約1.2Vとなる。一方、本発明では信号振幅と立ち上り伝播遅延時間の関係は

信号振幅 (V)	立ち上り伝播遅延時間 t_{pdr} (ns)
0.5	1.97
0.4	2.29
0.3	2.84
0.2	3.99

となり、 $t_{pdr} < 3\text{ ns}$ をひとつの目安とすると、信号振幅の最小値は約0.31Vとなる。この解析結果より、立ち上り伝播遅延時間 t_{pdr} を基準に考えると、本発明により、信号振幅を従来の約1.2Vから約0.31Vへと約4分の1に低減することができる。なお、ここには立ち上り伝播遅延時間 t_r の解析結果を示したが、立ち下り伝播遅延時間 t_f についても同様の改善効果が得られる。

【0026】図9は本発明によるCMOS集積回路の他の一実施例である。図1あるいは図3の実施例では、信号が高レベルと低レベルの間で遷移する際に、信号受信部から信号線に、または信号線から信号受信部に微小な直流電流が流れる。信号線の寄生抵抗および寄生容量の影響で信号の立ち上がりあるいは立ち下がり時間が大きい場合、さらには一つの信号線に多くの信号受信回路が接続されるような場合には、この電流が少ない方が回路動作上好ましい。図9は、この直流電流を流さないようにする構成の一例を示している。この例では、他の回路ブロックからの小さな振幅の信号を受けて、大きな振幅の信号に変換する信号受信部をCMOSインバータによる受信回路REC8A、およびレベル変換回路REC8Bとにより構成している。REC8Aのインバータ回路は、図中の駆動回路DRV7のインバータ回路と同様、V_{CL}とV_SLを電源として動作する。レベル変換回路REC8Bは、基本的に図3中のREC4と同じものである。同図において、駆動回路DRV7を構成するNチャネルMOSトランジスタTN16およびPチャネルMOSトランジスタTP16、受信回路REC8Aのインバータを成すNチャネルMOSトランジスタTN17およびPチャネルMOSトランジスタTP17、およびレベル変換回路REC8Bの転送ゲートを成すNチャネルMOSトランジスタTN18およびPチャネルMOSトランジスタTP18のゲートしきい値電圧の絶対値を他の回路を構成するMOSトランジスタのゲートしきい値電圧の絶対値よりも低くしている。なお、TN16、TN17およびTN

18のバックゲートはVSSに、TP16、TP17およびTP18のバックゲートはVCCに、それぞれ接続しているが、これらは、それぞれVSLおよびVCLであつてもかまわない。図3の実施例と同様、NチャネルMOSトランジスタのゲートしきい値電圧は、高い方が約0.5V、低い方が約0V、PチャネルMOSトランジスタのゲートしきい値電圧は絶対値の高い方が約-0.5V、絶対値の低い方が約0Vである。

【0027】この回路の動作は図10に示した動作波形で説明される。図3に示した例との相違は、レベル変換回路REC8Bの入力を信号線で直接駆動する代わりに、インバータで反転した出力で駆動する点にある。したがって、本実施例では端子N10の信号が端子N14で反転しているが、基本的な動作に変わりはない。なお、ここでは、 $VCC=1.5V$ 、 $VSS=0V$ 、 $VCL=1V$ 、 $VSL=0.5V$ の場合について説明するが、これらの値に限るものでないことは自明である。このように、信号受信部をCMOSインバータとレベル変換回路とで構成することにより、信号線から信号受信部への直流電流の流入、あるいは信号受信部から信号線への直流電流の流出を無くすることができる。なお、受信回路を構成するCMOSインバータにおいて電源VCLからVSLに直流電流が流れる。しかし、インバータを構成する素子数および寸法は、集積回路全体の素子数および寸法に対して無視できるほど小さいので、この電流が集積回路の消費電流に対して大きな影響を及ぼすことはない。

【0028】図11は本発明によるCMOS集積回路の他の一実施例である。本実施例では、複数の小さな振幅の信号を入力として、その論理演算結果を回路ブロック内部で使用する大きな信号振幅に変換するようにした信号受信部を提供する。

【0029】この例では、信号受信部を、NANDゲートによる受信回路REC11A、およびレベル変換回路REC11Bとにより構成している。REC11AのNANDゲートは、図9のREC8Aと同様、VCLとVSLを電源として動作する。レベル変換回路REC11Bは、基本的に図3中のREC4や図9中のREC8Bと同じものである。

【0030】通常のCMOS回路の場合と同様、2つの直列接続されたNチャネルMOSトランジスタTN32、TN33と、2つの並列接続されたPチャネルMOSトランジスタTP32、TP33とからNANDゲートを構成している。これに、他の回路ブロックBLK9からの信号SIG4と、BLK10からの信号SIG5とを入力し、そのNAND出力を端子N15に得ている。NANDゲートを構成するMOSトランジスタには、図9中のREC8Aの場合と同様、しきい値電圧の絶対値の低いものを用いている。このような構成をとることにより、複数の低振幅信号の論理演算結果を、大きな信号と

して回路ブロック内に取り込むことができる。ここでは論理演算の例として、2入力のNANDの場合について説明したが、その他の、例えば3入力以上のNANDや、2入力以上のNORや、EOR（排他的論理和）など、どのような論理演算についても同様に適用できることは自明である。

【0031】図12は、外部電源電圧VCC、VSSをもとにして、チップ内部で電源電圧VCL、VSLを発生する回路の構成の一実施例である。

【0032】図中、DIVは3つの抵抗R1、R2、R3により構成した分圧回路、OP1、OP2は差動増幅回路、TP40はVCL駆動用のPチャネルMOSトランジスタ、TN40はVSL駆動用のNチャネルMOSトランジスタ、R4とR5はバイアス用の抵抗、C1～C3は平滑用の容量である。この回路によりVCLとVSLには、それぞれ

$$VCL = (R2 + R3) \times (VCC - VSS) / (R1 + R2 + R3)$$

$$VSL = R3 \times (VCC - VSS) / (R1 + R2 + R3)$$

なる電圧が得られる。例えば、 $VCC=1.5V$ 、 $VSS=0V$ 、 $R1=R2=R3$ の場合には、 $VCL=1V$ 、 $VSL=0.5V$ が得られる。

【0033】図13は本発明による集積回路の他の一実施例である。本実施例では、共通の電源VCL、VSLを信号線の駆動回路に供給する代わりに、VCC、VSSを供給し、各駆動回路毎に信号振幅を低減するようにしている。

【0034】図13において、CHP5は集積回路チップ、BLK12やBLK13はチップを構成する回路ブロック、SIG6はBLK12からBLK13に小さな振幅の信号を伝達するための信号線、DRV12は信号線の駆動回路、REC13は信号の受信回路である。駆動回路DRV12を除けば、基本的な構成は、図3に示したものと同様である。

【0035】駆動回路DRV12は、NチャネルMOSトランジスタTN40、PチャネルMOSトランジスタTP40、NPN形バイポーラ・トランジスタQ1、PNP形バイポーラ・トランジスタQ2、とから構成している。2つのバイポーラ・トランジスタのコレクタ端子は、それぞれ電源VCC、VSSに接続し、エミッタ端子をCMOSインバータに接続している。各バイポーラ・トランジスタのベース端子には、直流電圧VCLB、VSLBを印加している。これらの値は、それぞれ

$$VCLB = VCL + VBE$$

$$VSLB = VSL - VBE$$

である。ここに、VBEはバイポーラ・トランジスタのベース・エミッタ間の順方向電圧降下であり、約0.75Vである。このような接続にすることにより、端子N20にはVCLが、端子N21にはVSLが、それぞれ

得られる。この回路方式によれば、VCLやVSLといった電源は、図3の例ほど低インピーダンスにする必要がない。したがって、図12に示したような発生回路も、大きな駆動能力を備える必要がなくなり、発生回路自体の占有面積の増大や、消費電力の増大を招くことがなくなる。なお、この例で用いたNPN形やPNP形のバイポーラ・トランジスタの代わりに、それぞれNチャネルとPチャネルのMOSTランジスタを用いても、同様な効果を得ることができる。

【0036】図14は、外部電源電圧VCC、VSSをもとにして、チップ内部で電源電圧VCL、VSLおよびVCLB、VSLBを発生する回路の構成の一実施例である。

【0037】図中、分圧回路は抵抗R10、R11、R12とベースとエミッタを接続したNPN形およびPNP形のバイポーラ・トランジスタQ3、Q4とにより構成している。Q5はVCL駆動用のNPN形バイポーラ・トランジスタ、Q6はVSL駆動用のPNP形バイポーラ・トランジスタ、R13はバイアス用の抵抗、C10～C12は平滑用の容量である。この回路によりVCLとVSLには、それぞれ

$$VCL = ((R11+R12) \times VCC + (R10-R11-R12) \times VBE) / (R10+R11+R12)$$

$$VSL = (R12 \times VCC + (R10+R11-R12) \times VBE) / (R10+R11+R12)$$

なる電圧が得られる。ただし、ここではVSS=0Vと仮定している。また、VBEはバイポーラ・トランジスタのベース・エミッタ間の順方向電圧降下であり約0.75V程度である。例えば、VCC=3V、 $0.25 \times R11 = R10 = R12$ の場合には、VCL=2V、VSL=1Vが得られる。

【0038】図15は本発明による集積回路の他の一実施例である。本実施例では、集積回路チップ間の信号伝達を低振幅の信号で行うようにしている。

【0039】同図において、CHP6とCHP7は集積回路チップ、SIG7はCHP6からCHP7に小さな振幅の信号を伝達するための信号線、DRV16は信号線の駆動回路、REC17は信号の受信回路である。駆動回路DRV16は図13中のDRV12に、受信回路REC17は図13中のREC13に示したものと、基本的に同じである。

【0040】このような構成にすることにより、容量の大きなチップ間の信号線を駆動するのに必要な電力を低減することができる。また、信号線の充放電に伴って発生するピーク電流を低く抑えることができ、信号配線の信頼性や、電源線の雑音を小さくすることができる。したがって、マイクロプロセッサなどの信号線数の多い集積回路では、特に効果が大きい。

【0041】また、集積回路チップの従来の入力回路では、TTLレベル（例えば、LOW判定レベル最大値V

$IL_{max} = 0.8V$ 、HIGH判定レベル最小値 $V_{IHmin} = 2.4V$)の入力に対して、CMOSインバータに貫通電流が流れるため、待機時の電流を小さくできない、という問題があつたが、本発明の受信回路を用いれば、この待機時電流を著しく小さくすることができるため、集積回路チップの消費電流低減に極めて有効である。

【0042】図16は本発明による集積回路の他の一実施例である。本実施例では、図15と同様、集積回路間の信号伝達を低振幅の信号で行うようにしている。

【0043】同図において、CHP8とCHP9は集積回路チップ、SIG8はCHP8からCHP9に小さな振幅の信号を伝達するための信号線、DRV18は信号線の駆動回路、REC19は信号の受信回路である。駆動回路DRV18はNPN形バイポーラ・トランジスタQ20およびPNP形バイポーラ・トランジスタQ21による相補型インバータ回路、および、それらの入力であるベース端子を駆動するように設けたCMOSインバータ回路から構成している。CMOSインバータ回路の電源電圧には、VCLBおよびVSLBを与えて、相補型インバータ回路の入力には高レベルとしてVCL+VBE、低レベルとしてVSL-VBEを得るようにしている。これにより、信号線の振幅には、(VCL-VSL)を得ることができる。

【0044】このような構成にすることにより、容量の大きなチップ間の信号線を駆動するのに必要な電力を低減することができる。また、信号線の充放電に伴って発生するピーク電流を低く抑えることができ、信号配線の信頼性や、電源線の雑音を小さくすることができる。特に、出力回路が、バイポーラ・トランジスタのみで構成されているため、図15の例に比べて、大きな負荷駆動能力を得ることができる。

【0045】図17から図20は本発明によるCMOS集積回路の他の実施例を示している。これらの実施例では、複数の小さな振幅の信号を入力として、その論理演算結果を回路ブロック内部で使用する大きな信号振幅に変換するようにした信号受信部の他の方式を示している。

【0046】図17は2つの入力AとBの反転論理積(NAND)の演算結果Qを出力するようにした信号受信部の回路構成の一例である。すなわち、入力AとBが共に高レベルのときに出力Qが低レベル、その他のときには出力Qが高レベルとなる。入力AとB、および信号Bの反転信号B-barの信号振幅は、図3の実施例と同様、その低レベルがVSL、高レベルがVCLである。反転信号B-barは、駆動回路によって発生させてもよいし、受信部にインバータを設けて、入力Bから発生させてもよい。この回路は図3中のREC4において、そのレベル変換機能をそのまま活かし、新たに論理演算機能を持たせるため、転送ゲートを4つのトランジ

スタ、TN70、TN71、TP70およびTP71により構成し、入力数を増やすと共に転送ゲートのゲート端子にも直流電圧の代わりに信号を印加するようにした。

【0047】次にこの回路の動作を説明する。入力Bが低レベルのとき、すなわち入力B-barが高レベルのときには、トランジスタTN70が非導通状態、TN71が導通状態となり、端子N40は低レベルとなる。また、トランジスタTP70が非導通状態、TP71が導通状態となり、端子N41も低レベルとなる。したがって、入力Aのレベルによらずに、出力Qは高レベルになる。一方、入力Bが高レベルのときには、トランジスタTN70が導通状態、TN71が非導通状態となり、端子N40は入力Aに等しいレベルとなる。また、トランジスタTP70が導通状態、TP71が非導通状態となり、端子N41も入力Aに等しいレベルとなる。したがって、出力Qには入力Aの反転出力が得られる。これらより、入力AとBがともに高レベルのときのみ出力が低レベルとなり、それ以外の組合せでは、出力は高レベルとなる。すなわち、AとBの反転論理積（NAND）の演算結果が出力Qに得られる。

【0048】図18は2つの入力AとBの反転論理和（NOR）の演算結果Qを出力するようにした信号受信部の回路構成の一例である。すなわち、入力AとBが共に低レベルのときに出力Qが高レベル、その他のときには出力Qが低レベルとなる。入力Bが高レベルのとき、すなわち入力B-barが低レベルのときには、トランジスタTN75が導通状態、TN76が非導通状態となり、端子N45は高レベルとなる。また、トランジスタTP75が導通状態、TP76が非導通状態となり、端子N46も高レベルとなる。したがって、入力Aのレベルによらずに、出力Qは低レベルになる。一方、入力Bが低レベルのときには、トランジスタTN75が非導通状態、TN76が導通状態となり、端子N45は入力Aに等しいレベルとなる。また、トランジスタTP75が非導通状態、TP76が導通状態となり、端子N46も入力Aに等しいレベルとなる。したがって、出力Qには入力Aの反転出力が得られる。これらより、入力AとBがともに低レベルのときのみ出力が高レベルとなり、それ以外の組合せでは、出力は低レベルとなる。すなわち、AとBの反転論理和（NOR）の演算結果が出力Qに得られる。

【0049】図19は3つの入力A、BおよびCの反転論理積（NAND）の演算結果Qを出力するようにした信号受信部の回路構成の一例である。図17の実施例と同様、入力A、BおよびCが共に高レベルのときに端子N50および端子N51が高レベルとなる。これらより、入力AとBおよびCがともに高レベルのときのみ出力が低レベルとなり、それ以外の組合せでは、出力は高レベルとなる。すなわち、A、BおよびCの反転論理積

（NAND）の演算結果が出力Qに得られる。

【0050】図20は2つの入力AとBの排他論理和（Exclusive-OR=EOR）の演算結果Qを出力するようにした信号受信部の回路構成の一例である。すなわち、入力AとBが同じレベルのときに出力Qが低レベル、その他のときには出力Qが高レベルとなる。入力Bが高レベルのとき、すなわち入力B-barが低レベルのときには、トランジスタTN85が導通状態、TN86が非導通状態となり、端子N55は入力Aと同じレベルとなる。また、トランジスタTP85が導通状態、TP86が非導通状態となり、端子N56も入力Aと同じレベルとなる。したがって、出力Qは入力Aの反転論理になる。一方、入力Bが低レベルのときには、トランジスタTN85が非導通状態、TN86が導通状態となり、端子N55は入力A-barと同じレベルとなる。また、トランジスタTP85が非導通状態、TP86が導通状態となり、端子N56も入力A-barと同じレベルとなる。したがって、出力Qは入力Aと同一論理になる。これらより、入力AとBの排他論理和（EOR）の演算結果が出力Qに得られる。

【0051】以上の実施例に示したように、本発明によれば、小さな入力振幅を有する複数の信号から直接論理演算を行うことが可能となるため、複数の入力を個々にレベル変換した後に演算を行う場合に比べて、使用するトランジスタの数を低減でき、さらに高集積の回路を構成することが可能になる。また、本発明は以上の実施例の他に、さらに多くの入力数や他のどのような論理演算についても同様に適用できることは自明である。

【0052】図21から図23は本発明によるCMOS集積回路の他の実施例を示している。これらの実施例では、小さな入力信号振幅に対しても論理レベルを正確に判定することのできる入力回路に適用した例を示している。一般に、CMOS集積回路のインターフェース用信号レベルとしては、CMOSレベルとTTLレベルの2種類が広く用いられている。各インターフェース用信号レベルの出力高レベル（VOH）の最小値VOHminと出力低レベル（VOL）の最大値VOLmaxは、CMOSレベルの場合、

$$VOHmin = VCC - 0.1 \quad (V)$$

$$VOLmax = 0.1 \quad (V)$$

TTLレベルの場合、

$$VOHmin = 2.4 \quad (V)$$

$$VOLmax = 0.4 \quad (V)$$

という値が一般的である。これらの信号振幅は小さいほど高速で、負荷容量の充放電電流も小さくできるというメリットがあるが、一方、信号を受信する回路のノイズマージンが低下するという欠点がある。これらより低振幅のインターフェースとしては、バイポーラLSIやバイCMOSLSIで用いられるECLインターフェースが知られている。この場合には、

17

$$VOH_{min} = -1.0 \quad (V)$$

$$VOL_{max} = -1.6 \quad (V)$$

であり、信号振幅は約0.6Vと小さい。CMOS集積回路の高集積化、1つの集積回路あたりの信号数（ピン数）の増加に伴い、高速化と低雑音化が強く望まれるようになってきている。ところが、従来のECLインターフェースは、バイポーラトランジスタをベースにしているためCMOS回路では実現が難しい、入力回路に多大なバイアス電流を必要とするため、消費電力（とくにスタンバイ状態での消費電力）が大きいという問題があった。これらの問題を克服して、ノイズマージンが広く安定に動作し、かつCMOSの特徴である低消費電力性能を維持できる低振幅インターフェースが望まれていた。こうした新しいインターフェースは以下の条件を満たす必要がある。

【0053】

(1) 信号振幅が1V程度、あるいはそれ以下で、十分なノイズマージンを有すること。

【0054】

(2) スタンバイ状態（入力が VIH_{min} 以上あるいは VIL_{max} 以下）ではほとんど電流消費がないこと。

【0055】こうした条件を満たすためには、小さな入力信号振幅を確実に検出し、かつスタンバイ状態での電流消費のない入力回路が必要とされる。このような入力回路の例は、図15や図16に示したが、以下には他の例を示す。

【0056】図21は本発明によるCMOS集積回路の入力回路の一実施例を示している。本実施例は図15あるいは図16の2つの転送ゲートを4つのトランジスタTN90、TN91、TP90およびTP91で置き換えたものである。TN90とTP91のゲートには、それぞれ基準電圧VRNとVRPを印加している。VRNとVRPは同図右に示すとおり、

$$VRN = VIH + VTN + VTP$$

$$VRP = VIL - VTN - VTP$$

なる値になるようにしている。ここに、 VIH と VIL は入力信号の高レベルと低レベル、 VTN と VTP はNチャネルトランジスタとPチャネルトランジスタのしきい値電圧の絶対値である。

【0057】入力INの電圧が VIL よりも低いときには、TN91とTP91が非導通状態、TN90とTP90が導通状態となって、端子N60が低レベルとなる。その結果、出力OUTは高レベルとなり、端子N61は低レベルとなる。逆に、入力INの電圧が VIH よりも高いときには、TN91とTP91が導通状態、TN90とTP90が非導通状態となって、端子N61が高レベルとなる。その結果、出力OUTは低レベルとなり、端子N60は高レベルとなる。このように、小さな入力信号振幅に対しても、安定に動作する入力回路を構

18

成することができる。また、VCCからVSSにいたる直流電流パスがないため、スタンバイ時の電流をほとんど零にすることができる。

【0058】図22は本発明によるCMOS集積回路の入力回路の他の一実施例を示している。ここでは、 $VIL = 0$ の場合の入力回路の構成例を示す。図中、TN100～TN103はNチャネルトランジスタ、TP100～TP102はPチャネルトランジスタである。TN101のゲートには基準電圧VREF1を印加し、そのソースにはTN100とTP100とからなるCMOSインバータを接続している。また、入力はTN103に、インバータで反転された出力はTN102に印加している。これらTN102、TN103とTP101、TP102とでレベル変換回路を構成している。基準電圧VREF1の値は、 $VREF1 = VIH + VTN + VTP$ なる値にしている。ここに、 VIH は入力信号の高レベル、 VTN と VTP はNチャネルトランジスタとPチャネルトランジスタのしきい値電圧の絶対値である。

【0059】入力INの電圧が0(V)のときには、インバータの出力N65は高レベルとなる。したがって、TN103が非導通状態、TN102が導通状態となって、端子N67が高レベル、端子N66が低レベルとなる。その結果、出力OUTは高レベルとなる。逆に、入力INの電圧が VIH よりも高いときには、インバータの出力N65は低レベルとなる。したがって、TN102が非導通状態、TN103が導通状態となって、端子N66が高レベル、端子N67が低レベルとなる。その結果、出力OUTは低レベルとなる。このように、小さな入力信号振幅に対しても、安定に動作する入力回路を構成することができる。また、VCCからVSSにいたる直流電流パスがないため、スタンバイ時の電流をほとんど零にすることができる。

【0060】図23は本発明によるCMOS集積回路の入力回路の他の一実施例を示している。ここでは、図22に示した例と同様、 $VIL = 0$ の場合の入力回路の構成例を示す。図中、TN110～TN112はNチャネルトランジスタ、TP110～TP113はPチャネルトランジスタである。TN111のゲートには基準電圧VREF2を印加している。入力はTN110とTP110に印加し、TP110のソースとTN111のソースが接続されている。ここでは、入力の反転信号をつくる代わりに、TN111とTP110でNチャネルトランジスタとは相補の動作、すなわち入力が低レベルのときに導通し、高レベルのときに非導通になるような動作を実現している。これらTN110、TN111およびTP110に、さらにTP111、TP112を組合せてレベル変換機能も兼ね備えるようにしている。基準電圧VREF2の値は、

$$VREF2 = VIH + VTN + VTP$$

なる値にしている。ここに、 VIH は入力信号の高レベ

19

ル、VTNとVTPはNチャネルトランジスタとPチャネルトランジスタのしきい値電圧の絶対値である。

【0061】入力INの電圧が0(V)のときには、TN110が非導通状態、TN111とTP110が導通状態となり、端子N70が低レベル、出力OUTが高レベルとなる。逆に、入力INの電圧がVIHよりも高いときには、TN111とTP110が非導通状態、TN110が導通状態となり、端子N70が高レベル、出力OUTは低レベルとなる。このように、小さな入力信号振幅に対しても、安定に伝送する入力回路を構成することができる。また、VCCからVSSにいたる直流電流パスがないため、スタンバイ時の電流をほとんど零にすることができる。

【0062】以上述べた入力回路を用いれば、十分なノイズマージンを維持しながら、入力信号振幅を小さくすることができるため、信号の伝送を高速に行うことができる。また、スイッチングに伴う過渡電流を低減できるため、電源電圧の変動を抑制でき、ノイズマージンを大きくすることができる。さらには、スタンバイ状態に直流電流を消費しないため、低消費電力が要求される電池動作への応用も可能となる。

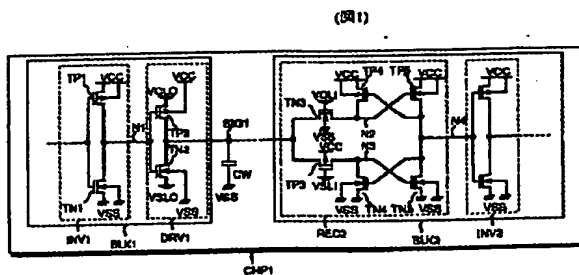
【0063】以上、各実施例によつて本発明の詳細を説明したが、本発明の適用範囲はこれらに限定されるものではない。例えば、ここではCMOSトランジスタおよびバイポーラトランジスタによりLSIを構成する場合を主に説明したが、接合型FETを用いたLSI、さらにはシリコン以外の材料、例えばガリウム砒素などの基板に素子を形成したLSIなどでも、そのまま適用できる。

【0064】

【発明の効果】以上述べた本発明によれば、電源電圧自体を小さくすることなく、信号振幅を小さくすることができるため、高集積化に伴つて問題となる消費電力の増大を招くことがないLSIを提供できる。更に本発明によれば遅延時間の増大しないLSIを提供できる。また、本発明によれば高速に動作するLSIを提供できる。

【図面の簡単な説明】

【図1】



20

【図1】本発明の基本概念を説明する実施例

【図2】図1における電圧波形図

【図3】本発明の基本概念を説明する実施例

【図4】従来の回路

【図5】図4の回路と比較するための本発明による回路

【図6】入出力波形の定義

【図7】本発明の効果を示すための図4と図5の回路での特性比較結果

【図8】本発明の効果を示すための図4と図5の回路での特性比較結果

【図9】本発明の基本概念を説明する他の実施例

【図10】図9における電圧波形図

【図11】本発明をNANDゲート回路に適用した具体的実施例

【図12】本発明の内部電源電圧を発生する回路の具体的実施例

【図13】バイポーラトランジスタを用いた本発明の基本概念を説明する他の実施例

【図14】VCL, VSL, VCLB, VSLB発生回路の一例

【図15】本発明をチップ間の信号伝達に用いた他の実施例

【図16】本発明をチップ間の信号伝達に用いた他の実施例

【図17】本発明を論理回路に用いた他の実施例

【図18】本発明を論理回路に用いた他の実施例

【図19】本発明を論理回路に用いた他の実施例

【図20】本発明を論理回路に用いた他の実施例

【図21】本発明を入力回路に用いた他の実施例

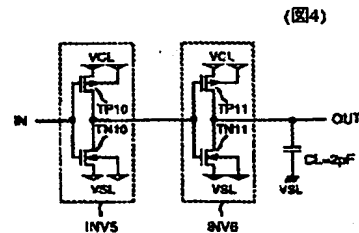
【図22】本発明を入力回路に用いた他の実施例

【図23】本発明を入力回路に用いた他の実施例

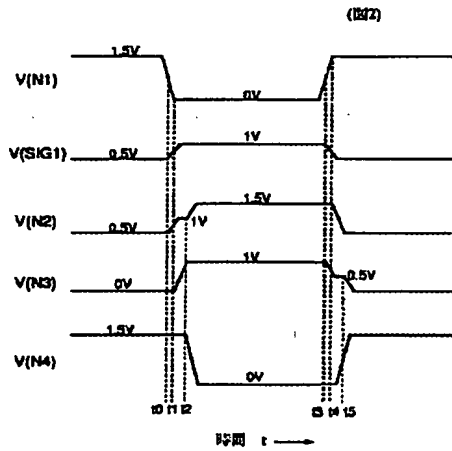
【符号の説明】

CHP1~CHP9...集積回路チップ、BLK1~BLK13...集積回路ブロック、INV1~INV19...インバータ、DRV1~DRV18...駆動回路、REC2~REC19...受信回路、R1~R13...抵抗、Q1~Q21...バイポーラトランジスタ、OP1, OP2...差動増幅回路、C1~C12...平滑容量。

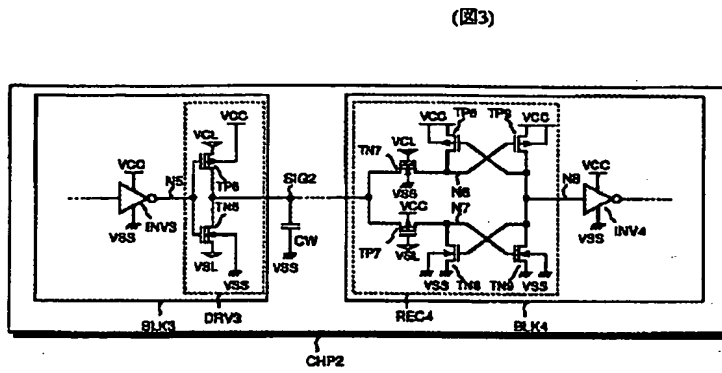
【図4】



【図2】

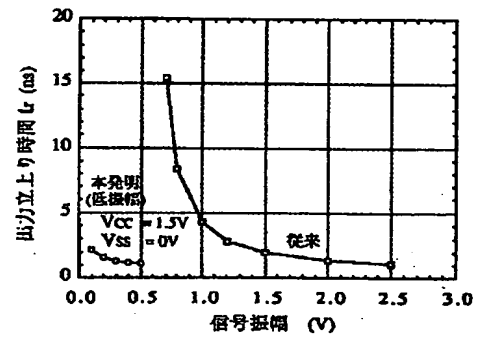


【図3】



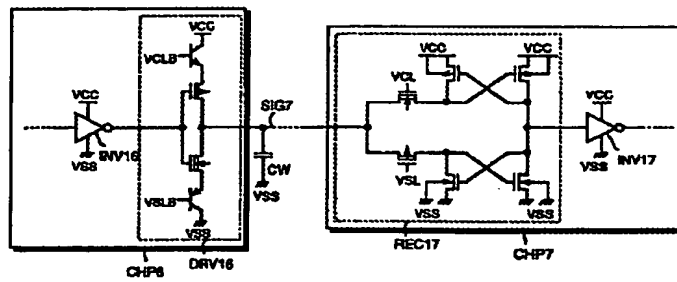
【図7】

図7

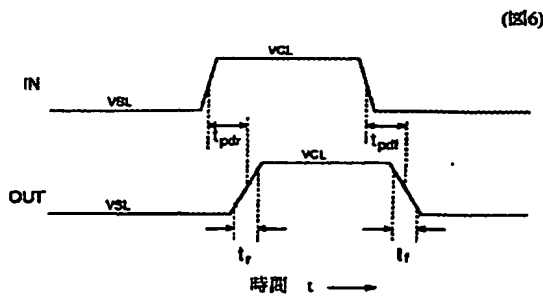


【図5】

(図15)

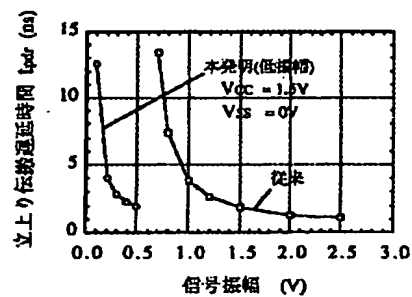


【図6】

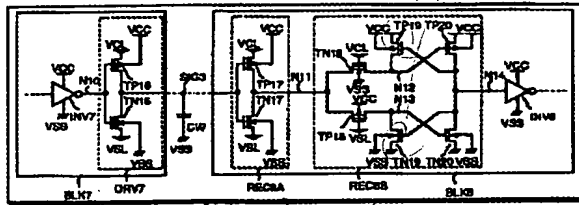


【図8】

図8



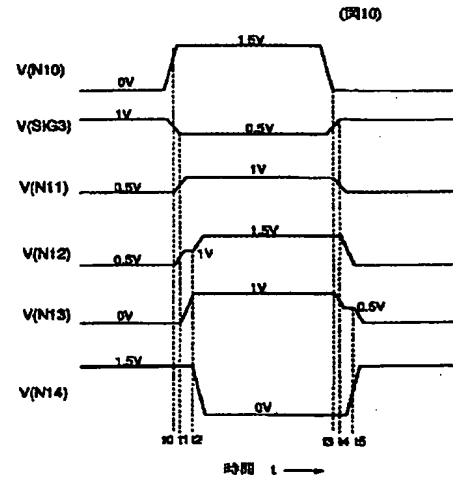
【図9】



(図9)

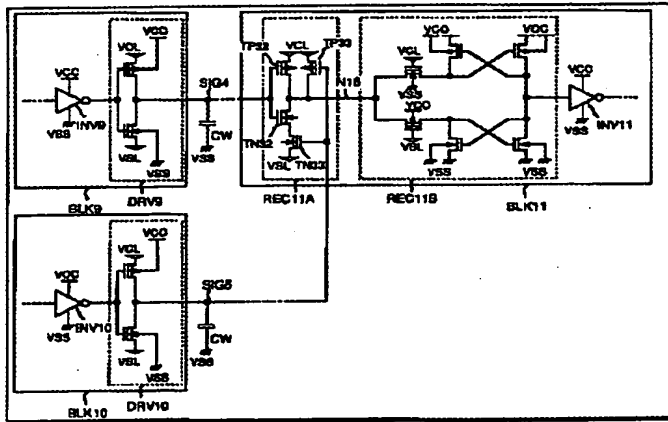
V_{REF} 79

【図10】



(図10)

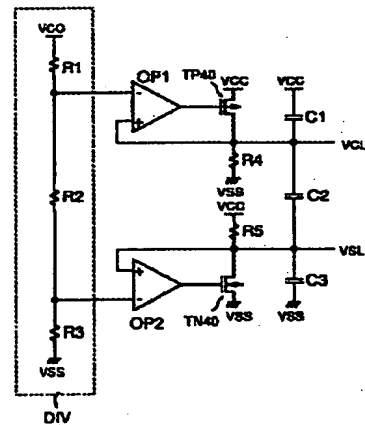
【図11】



(図11)

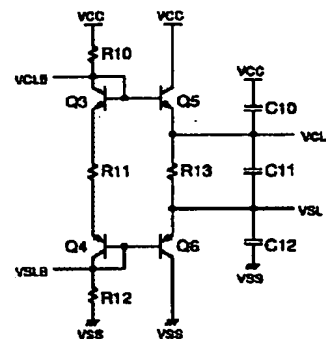
CHP4

【図12】



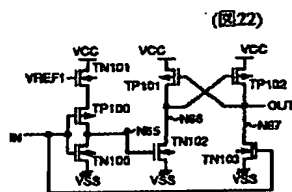
(図12)

【図14】



(図14)

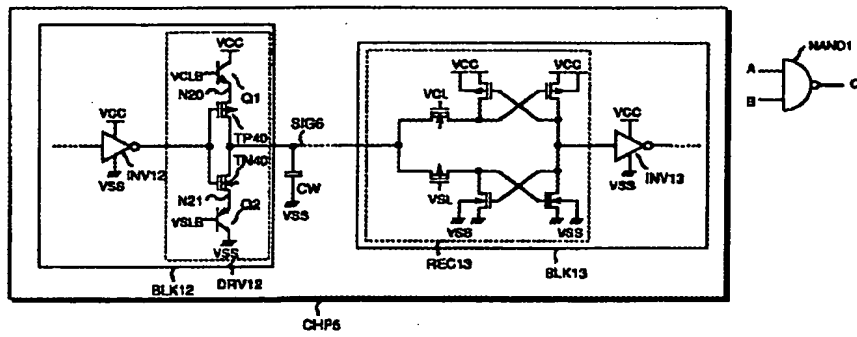
【図22】



(図22)

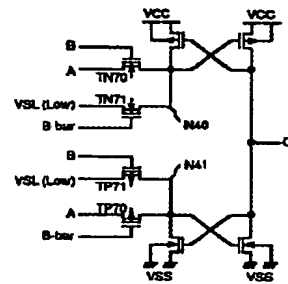
【図13】

(図13)



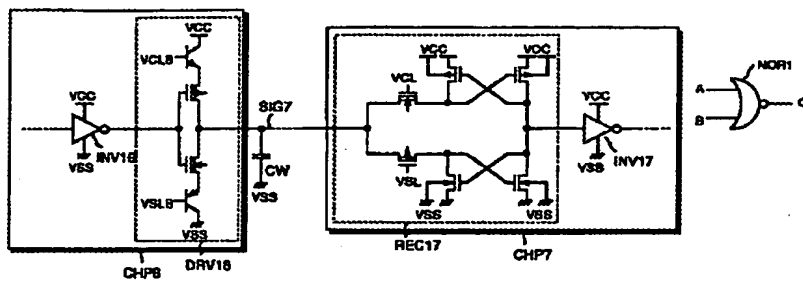
【図17】

(図17)



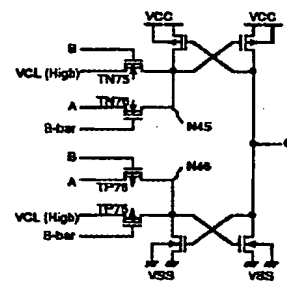
【図15】

(図15)



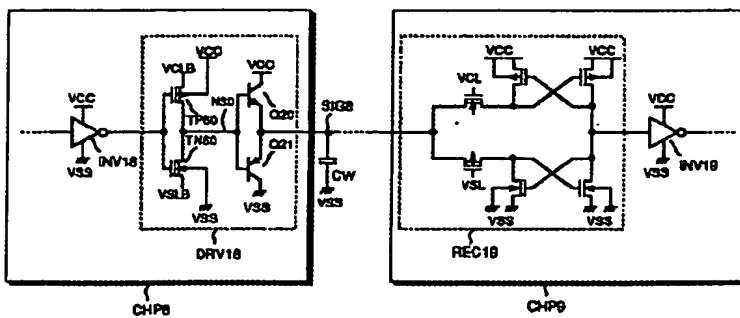
【図18】

(図18)

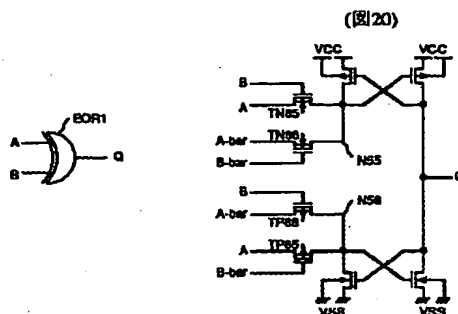


【図16】

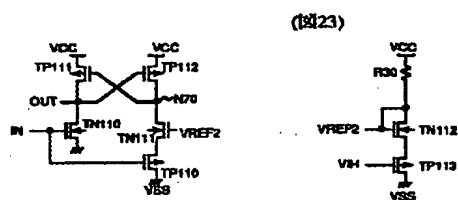
(図16)



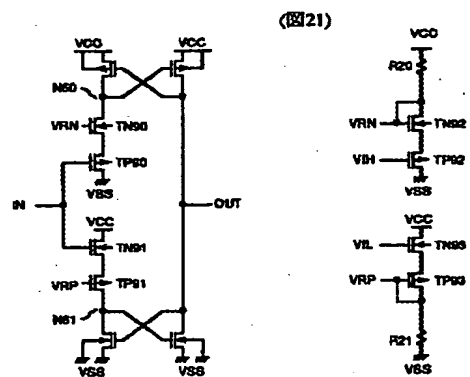
【圖 20】



·【圖 23】



(1823)



THIS PAGE BLANK (USPTO)